

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-016492

(43)Date of publication of application : 18.01.2002

(51)Int.Cl.

H03L 7/06

G06F 1/06

H03K 3/02

H03K 5/00

(21)Application number : 2000-198602

(71)Applicant : KONICA CORP

(22)Date of filing : 30.06.2000

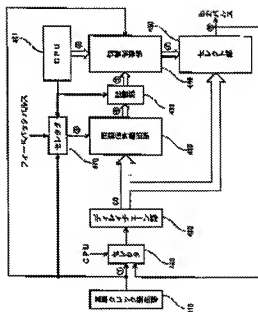
(72)Inventor : TAKAGI KOICHI

## (54) DIGITAL PLL PULSE GENERATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a digital PLL pulse generator capable of stably supplying the pulse of desired timing.

SOLUTION: This device is provided with a delay chain part 420 connecting delay elements in the form of chain for generating plural delay clocks, with which a reference clock is delayed, a synchronizing signal detecting part 430 for selecting plural delay clocks synchronized to a reference signal out of the delay chain part and leading synchronizing information corresponding to the number of delay steps for one cycle from the information, a pulse generating means 440 and 450 for generating the output pulse of desired pulse width and desired timing by selecting a required delay clock out of the delay chain part while referring to the synchronizing information and pulse generation information for generating the desired pulse, a feedback means for detecting a phase error by comparing a feedback pulse with the output pulse generated by the pulse generating means by the synchronizing signal detecting part, and a correcting means for correcting timing of the output pulse to be generated by the pulse generating means corresponding to the detected phase difference.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-16492

(P2002-16492A)

(43)公開日 平成14年1月18日(2002.1.18)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ページコード <sup>7</sup> (参考)
H 0 3 L 7/06		H 0 3 K 3/02	J 5 B 0 7 9
G 0 6 F 1/06		H 0 3 L 7/06	J 5 J 0 4 3
H 0 3 K 3/02		G 0 6 F 1/04	3 1 2 A 5 J 1 0 6
5/00		H 0 3 K 5/00	K

審査請求	未請求	請求項の数10	OL (全 10 頁)
○	○	○	○

(21) 出願番号	特願2000-198602(P2000-198602)	(71) 出願人	00001270 □ニ方株式会社
(22) 出願日	平成12年6月30日(2000.6.30)	(72) 発明者	東京都新宿区西新宿1丁目26番2号 高木 幸一
		(74) 代理人	東京都八王子市石川町2970番地 □ニ方株式会社内 100085187 伊理士 井島 藤治 (外1名)

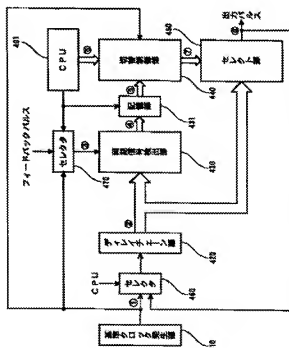
最終頁に続く

## (54) 【発明の名義】 デジタルPLLパルス発生装置

## (57) 【要約】

【課題】 所望のタイミングのパルスを安定して供給することが可能なデジタルPLLパルス発生装置を実現する。

【解決手段】 基準クロックを遅延させた複数の遅延クロックを生成するためにディレイ素子をチェーン状に接続したディレイチェーン部420と、基準信号と同期した遅延クロックをディレイチェーン部から複数選択し、その情報から1/50期分のディレイ段数に相当する同期情報を選択する同期情報検出部430と、同期情報と、所望のパルスを生成するためのパルス生成情報とを参照し、ディレイチェーン部から必要な遅延クロックを選択して、所望のパルス幅および周波数のタイミングの出力パルスを生成するパルス生成手段440、450と、フィードバックパルスとパルス生成手段で生成された出力パルスとを同期情報検出部で比較して位相差を算出するフィードバック手段と、検出された位相差に応じてパルス生成手段で生成する出力パルスのタイミングを修正する修正手段を備える。



## 【特許請求の範囲】

【請求項1】 基準クロックを遅延させた複数の遅延クロックを生成するためにディレイ素子をチェーン状に接続したディレイチェーン部と、

基準信号に同期した遅延クロックを前記ディレイチェーン部から複数選択し、その情報から1周期分のディレイ段数に相当する同期情報を導き出す同期信号検出部と、前記同期信号検出部で導き出された同期情報と、所望のバースを生成するためのバース生成情報とを参照し、前記ディレイチェーン部から必要な遅延クロックを選択して、所望のバース幅および所望のタイミングの出力バースを生成するバース生成手段と、

フィードバックバースと前記バース生成手段で生成された出力バースとを前記同期信号検出部で比較することにより、位相差を検出するフィードバック手段と、前記フィードバック手段で検出された位相差に応じて前記バース生成手段で生成される出力バースのタイミングを修正する修正手段と、を有することを特徴とするディジタルPLLバース発生装置。

【請求項2】 前記修正手段は、出力バースとフィードバックバースとの位相差を保持する記憶部を備え、前記記憶部に保持された位相差を相殺するように出力バースのタイミングを修正する、ことを特徴とする請求項1記載のディジタルPLLバース発生装置。

【請求項3】 フィードバックによる位相差の検出と、検出された位相差に応じた出力バースのタイミングの修正とを同一の装置において時分割で実行する、ことを特徴とする請求項1または請求項2のいずれかに記載のディジタルPLLバース発生装置。

【請求項4】 前記ディレイチェーン部と前記同期信号検出部とを2系統備え、

フィードバックによる位相差の検出と、検出された位相差に応じた出力バースのタイミングの修正とを並列に実行する、ことを特徴とする請求項1または請求項2のいずれかに記載のディジタルPLLバース発生装置。

【請求項5】 複数の遅延クロックを生成するためディレイ素子をチェーン状に接続した第1ディレイチェーン部と、

複数の遅延クロックもしくは複数の遅延フィードバックバースを生成するためディレイ素子をチェーン状に接続した第2ディレイチェーン部と、

基準信号に同期した遅延クロックを前記第1ディレイチェーン部から複数選択し、その情報から1周期分のディレイ段数に相当する第1同期情報を導き出す第1同期信号検出部と、

出力バースもしくはフィードバックバースに同期した遅延クロックを前記第2ディレイチェーン部から複数選択し、その情報から1周期分のディレイ段数に相当する第2同期情報を導き出す第2同期信号検出部と、前記第1同期信号検出部で導き出された第1同期情報

と、前記第2同期信号検出部で導き出された第2同期情報と、所望のバースを生成するためのバース生成情報とを参照し、前記第1ディレイチェーン部から必要な遅延クロックを選択して、所望のバース幅および所望のタイミングであって、フィードバックバースの変動を相殺するような出力バースを生成するバース生成手段と、を有することを特徴とするディジタルPLLバース発生装置。

【請求項6】 前記第1同期情報の導出と、前記第2同期情報の導出と、フィードバックバースの変動を相殺する前記出力バースの生成とを、並列に実行する、ことを特徴とする請求項5記載のディジタルPLLバース発生装置。

【請求項7】 前記第2同期信号検出部での第2同期情報は、基準クロックとフィードバックバースとの状態、および、出力バースとフィードバックバースとの状態を含む、ことを特徴とする請求項5または請求項6のいずれかに記載のディジタルPLLバース発生装置。

【請求項8】 前記各部が集積回路で構成される、ことを特徴とする請求項1乃至請求項7のいずれかに記載のディジタルPLLバース発生装置。

【請求項9】 前記各部がディジタル回路で構成される、ことを特徴とする請求項1乃至請求項8のいずれかに記載のディジタルPLLバース発生装置。

【請求項10】 前記バース発生手段はCPUにより制御される、ことを特徴とする請求項1乃至請求項9のいずれかに記載のディジタルPLLバース発生装置。

## 【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明はディジタルPLLバース発生装置に関し、さらに詳しくは、目的とするタイミングのバースを瞬時に安定して発生することが可能なディジタルPLLバース発生装置に関する。

【0002】

【従来の技術】各種ディジタル回路において、回路動作のためにクロックを必要としている。このクロックは、各種方式のクロック発生回路によって生成されている。

【0003】この場合、各種回路が必要としているバース幅やタイミングは、基準となる基準クロックから直接的には得られない場合が多い。一般的には、クロック発生回路からの基準クロックを利用して、回路の遅延または専用の遅延素子などを活用して得るようにしている。

【0004】

【発明が解決しようとする課題】これらクロックに関しては、それを要求するデバイスにより適正な範囲があつて、この範囲を逸脱すると正常な動作が保証できなくなる。

【0005】近年、機器の高速化と共に、それを構成するデバイスの駆動・動作速度も増し、クロック周波数が高くなるだけでなく、それらデバイスが要求する出力バ

ルスの適正範囲にも狭まる傾向になっている。

【0006】しかしながら、機器を構成するデバイスの動作環境は、本来不安定なものであり、電源電圧、周囲温度、湿度、回路素子や配線環境の物理的条件などが変動し、回路動作に影響を与えることがある。したがって、上述した出力パルスや処理パルスを発生する回路も影響を受けて、出力パルスに変動が生じることがある。

【0007】このような場合に、入力されるクロックを、集積回路内のPLL回路によってロックして使用するものが多数存在している。このように、入力されるクロックをPLL回路によってロックしてクロックとして使用する市販のIC(ASICなど)では、不連続なクロックに対して正常動作が保証されていなかったり、内部にフィードバックループを有するためセットアップタイムがかかるといった問題を有していた。

【0008】本発明は、上記の課題を解決するためになされたものであって、各種の変動にかかわらず、所望のタイミングのパルスを安定して供給することが可能なデジタルPLLパルス発生装置を実現することを目的とする。

【0009】

【課題を解決するための手段】上記課題は以下の構成により解決することができる。

(構成)

(1) 請求項1記載の発明は、基準クロックを遅延させた複数の遅延クロックを生成するためにディレイ素子をチェーン状に接続したディレイチェーン部と、基準信号に同期した遅延クロックを前記ディレイチェーン部から複数選択し、その情報から1周期分のディレイ段数に相当する同期情報を導き出す同期信号検出部と、前記同期信号検出部で導き出された同期情報と、所望のパルスを生成するためのパルス生成情報とを参照し、前記ディレイチェーン部から必要な遅延クロックを選択して、所望のパルス幅および所望のタイミングの出力パルスを生成するパルス生成手段と、フィードバックパルスと前記パルス生成手段で生成された出力パルスとを前記同期信号検出部で比較することにより、位相差を検出するフィードバック手段と、前記フィードバック手段で検出された位相差に応じて前記パルス生成手段で生成される出力パルスのタイミングを修正する修正手段と、を有することを特徴とするデジタルPLLパルス発生装置である。

【0010】(2) 請求項2記載の発明は、前記修正手段は、出力パルスとフィードバックパルスとの位相差を保持する記憶部を備え、前記記憶部に保持された位相差を相殺するように出力パルスのタイミングを修正する、ことを特徴とする請求項1記載のデジタルPLLパルス発生装置である。

【0011】(3) 請求項3記載の発明は、フィードバックによる位相差の検出と、検出された位相差に応じた出力パルスのタイミングの修正とを同一の装置において

時分割で実行する、ことを特徴とする請求項1または請求項2のいずれかに記載のデジタルPLLパルス発生装置である。

【0012】(4) 請求項4記載の発明は、前記ディレイチェーン部と前記同期信号検出部とを2系統備え、フィードバックによる位相差の検出と、検出された位相差に応じた出力パルスのタイミングの修正とを並列に実行する、ことを特徴とする請求項1または請求項2のいずれかに記載のデジタルPLLパルス発生装置である。

10 【0013】(5) 請求項5記載の発明は、複数の遅延クロックを生成するためディレイ素子をチェーン状に接続した第1ディレイチェーン部と、複数の遅延クロックもしくは複数の遅延フィードバックパルスを生成するためディレイ素子をチェーン状に接続した第2ディレイチェーン部と、基準信号に同期した遅延クロックを前記第1ディレイチェーン部から複数選択し、その情報から1周期分のディレイ段数に相当する第1同期情報を導き出す第1同期信号検出部と、出力パルスもしくはフィードバックパルスに同期した遅延クロックを前記第2ディレイチェーン部から複数選択し、その情報から1周期分のディレイ段数に相当する第2同期情報を導き出す第2同期信号検出部と、前記第1同期信号検出部で導き出された第1同期情報と、前記第2同期信号検出部で導き出された第2同期情報と、所望のパルスを生成するためのパルス生成情報とを参照し、前記第1ディレイチェーン部から必要な遅延クロックを選択して、所望のパルス幅および所望のタイミングであって、フィードバックパルスの変動を相殺するような出力パルスを生成するパルス生成手段と、を有することを特徴とするデジタルPLLパルス発生装置である。

30 【0014】(6) 請求項6記載の発明は、前記第1同期情報の導出と、前記第2同期情報の導出と、フィードバックパルスの変動を相殺する前記出力パルスの生成とを、並列に実行する、ことを特徴とする請求項5記載のデジタルPLLパルス発生装置である。

40 【0015】(7) 請求項7記載の発明は、前記第2同期信号検出部での第2同期情報は、基準クロックとフィードバックパルスとの状態、および、出力パルスとフィードバックパルスとの状態を含む、ことを特徴とする請求項5または請求項6のいずれかに記載のデジタルPLLパルス発生装置である。

【0016】(8) 請求項8記載の発明は、前記各部が集積回路で構成される、ことを特徴とする請求項1乃至請求項7のいずれかに記載のデジタルPLLパルス発生装置である。

【0017】(9) 請求項9記載の発明は、前記各部がデジタル回路で構成される、ことを特徴とする請求項1乃至請求項8のいずれかに記載のデジタルPLLパルス発生装置である。

50 【0018】(10) 請求項10記載の発明は、前記パ

ルス発生手段はCPUにより制御される、ことを特徴とする請求項1乃至請求項9のいずれかに記載のデジタルPLLパルス発生装置である。

【0019】〈作用〉以上の(1)～(10)に記載された本発明のデジタルPLLパルス発生装置によれば、複数のクロックから選択して目的の処理パルスが発生した後に、フィードバック結果によってクロックを選択し直すことにより、位相比較を開始してから所望のタイミングの出力パルスを得るまで、10クロック以内で行うことが可能になる。

【0020】すなわち、デジタル的なフィードバックを実行することで、各種の変動にかかわらず、所望のタイミングのパルスを安定して速やかに供給することが可能になる。

【0021】また、(1)、(2)、(3)に記載された本発明のデジタルPLLパルス発生装置によれば、1系統の回路で時分割処理する構成になっているため、回路構成をシンプルにすることができる。

【0022】また、(4)、(5)、(6)に記載された本発明のデジタルPLLパルス発生装置によれば、2系統の回路で並列処理する構成になっているため、常時リアルタイムで、フィードバックをかけて補正を行うことが可能になる。

【0023】また、本願発明のデジタルPLLパルス発生装置はデジタル的な処理を行っているため、(8)のように集積回路で構成するのに適している。また、本願発明のデジタルPLLパルス発生装置はデジタル的な処理を行っているため、(9)のようにデジタル回路で構成するのに適している。

【0024】また、本願発明のデジタルPLLパルス発生装置はデジタル的な処理を行っているため、(10)のようにCPUによって制御しつつ構成するのに適している。

#### 【0025】

【発明の実施の形態】以下、図面を参照して、本発明のデジタルPLLパルス発生装置の実施の形態例を詳細に説明する。

【0026】〈第1の実施の形態例〉この図1において、CPU401はクロック発生装置全体を制御する制御手段として動作している。なお、このCPU401が、クロックの1周期以内に、出力パルスの周波数やタイミングの基本的な制御を実行している。

【0027】基準クロック発生部410は基準となるクロック（基準クロック：図1①）を生成している。クロック生成部としてのディレイチェーン部420は、通常時において、入力信号（基準クロック発生部410からの基準クロック）を遅延させて位相が少しず異なる複数の遅延クロック（複数のクロック：図1②、図2参照）を得るための、本発明の請求項におけるクロック生成部を構成するディレイ素子群である。

【0028】ここで、ディレイチェーン部420は、位相が少しず異なる遅延クロックについて、基準クロックの2周期分におたって生成できる段数になるようにチェーン状にディレイ素子が連続接続されていて、各ディレイ素子から遅延クロックを出力できることが好ましい。なお、各ディレイ素子の入出力は反転論理の論理回路を接続して、デューティの崩れを最小限にすることが望ましい。また、各ディレイ素子の出力開閉ができるだけ細かく均等になるような回路やレイアウトを行うことも望ましい。

【0029】なお、ここではディレイ素子を用いて遅延クロックを生成したが、ディレイ素子を用いずに位相の異なる複数のクロックを生成できるクロック生成部を設けるようにしてもよい。

【0030】なお、基準クロック発生部410は、複数のクロック発生装置が存在する場合に、個々のクロック発生装置にそれぞれ内蔵されているか、単一の基準クロック発生部410からそれぞれのクロック発生装置や基板に基準クロックを分配してもよい。

【0031】なお、この第1の実施の形態例においては、フィードバック時には、ディレイチェーン部420は、セレクト460を介して、装置が出力する出力パルス（図1④）を受けてディレイ素子によって遅延させる。

【0032】同期信号検出部430は、通常時には、複数のクロック（図1②）の中で基準クロック（所望の入力信号の先端位置）に同期している遅延クロックの段数（同期ポイント）を検出する手段であり、同期情報を出力する。なお、この同期情報は位相差状態と呼ぶこともでき、この同期情報（位相差状態）は、後述する同期ポイント情報や位相差そのものの状態（位相差状態）を含む。

【0033】ここで、同期信号検出部430は、通常時にはセレクト470経由で基準クロックが与えられ、複数のクロック（図1②）の中で、最初に基準クロックに同期している第1同期ポイント情報V1stと、2番目に基準クロックに同期している第2同期ポイント情報V2ndと、それらの間の遅延段数Vprdを出力（図1④）できることが好ましい。図2に示す例では、第1同期ポイント情報V1st＝2.0、第2同期ポイント情報V2nd＝5.0、遅延段数Vprd＝3.0、となっている。

【0034】また、同期信号検出部430は、フィードバック時には、セレクト470経由で外部機器からのフィードバックパルス（たとえば、生成した出力パルスを目的の負荷に接続することに起因する回路素子のバツキ、配線長などの物理的変化および、電源電圧、周囲温度、湿度などの環境変化によって伝播変動を含んだ状態の出力パルス）と、ディレイチェーン部420を経由して装置が出力する出力パルス（図1④）が与えられ、フィードバックパルスの遅延状態を示すフィードバック時

同期ポイント情報Vfbを出力する(図1④)。すなわち、この同期信号検出部430は、フィードバック時には、フィードバック手段を構成している。

【0035】なお、以上のように基準クロックに同期する段数を検出するためには、複数のディレイチェーン部420の隣接する各出力同士を入力とするフリップフロップを設け、隣接する入力の論理が反転する箇所を検出するようにすればよい。

【0036】すなわち、ディレイチェーン部420からの複数の遅延信号の出力にそれぞれフリップフロップを接続し、前記複数の遅延信号のうち互いに隣り合う出力の論理が異なる箇所を1カ所以上を検出する論理回路を設け、すべてのフリップフロップのクロックは同一のクロックまたは同一の任意の信号を入力し、論理が異なる箇所の値(遅延段数)遅延情報として用いられ

【0037】記憶部431は通常時の同期ポイント情報とフィードバック時同期ポイント情報との誤差成分を保持し、この保持している誤差成分を利用して、補償した同期ポイント情報を通常時に出力する(図1⑤)。すなわち、請求項での修正手段を構成している。

【0038】切替制御部440は、基準クロック発生部410からの基準クロック(図1①)と、同期信号検出部430と記憶部431からの同期ポイント情報(図1⑤)と、CPU401からのシフト情報(図1⑥:請求項における「パルス生成情報」)とをともにして、所望のタイミング(所定の時刻もしくは所定の時間)にクロックの立ち上がりとしち下がりを生じさせて所望の出力パルスを生成するために、複数のクロック(図1②)の中からどの位相のクロックを選択すべきかのセレクト段数情報(図1⑦)を出力する。なお、ここで切替制御部440に対してCPU401から与えられる「シフト情報」としては、CPUmode、CPUdata、CPUadjustなどの信号が存在する。

【0039】セレクト部450は、切替制御部440からのセレクト段数情報(図1⑦)を受け、複数のクロック(図1②)の中から、所望の立ち上がりとしち下がりのクロックを選択して、クロックを受けて所望のパルス幅および所望のタイミングの出力パルス(図1⑧)を生成する。

【0040】なお、このセレクト部450は、図3に示すように、所望の立ち上がりタイミングのクロックを選択するためのセレクト451と、所望の立ち下がりタイミングのクロックを選択するためのセレクト452と、所望の立ち上がりタイミングのクロックと所望の立ち下がりタイミングのクロックとによって所望の出力パルスを生成する論理回路(AND、OR、NAND、NOR、ExOR、ExNORなど)で構成された組み合わせ回路453で構成されている。

【0041】セレクト460は、CPU401の制御に

したがって、通常時にはディレイチェーン部420に対して基準クロック発生部410からの基準クロック(図1①)を供給し、フィードバック時にはディレイチェーン部420に対して出力する出力パルス(図1⑧)を供給する。

【0042】セレクト470は、CPU401の制御にしたがって、通常時には同期信号検出部430に対して基準クロック発生部410からの基準クロックを供給し、フィードバック時には同期信号検出部430に対して外部機器からのフィードバックパルスを供給する。

【0043】図4は切替制御部440の通常時の動作状態を示すタイムチャートである。ここでは、説明を簡単にするため、前述した遅延段数Vprd=100であるとする(図4(a))。

【0044】そして、所望の出力パルスは(図4(b))、Vprd×0のタイミングで立ち上がり、Vprd×0.25のタイミングで立ち下がり、基準クロックの25%の周期のパルスであるとする。

【0045】この場合、切替制御部440はセレクト段数情報(図1⑦)として、

$$Fsync1 = 0 + 100 \times 0 = 0,$$

$$Fsync2 = 0 + 100 \times 0.25 = 25,$$

をセレクト部450に対して出力する。

【0046】なお、このセレクト段数情報は、電源電圧や環境温度などで変化することに鑑みて、Vprd、Vls、V2ndなどを、ある任意の間隔で更新しておくことが望ましい。

【0047】また、このFsync1とFsync2に関して、CPU401からのシフト情報CPUmodeによってCPU401から直接Fsync1とFsync2を書き込むモード(CPUdata→Fsync1、Fsync2)や、±のアジャストを行うモード(Fsync±CPUadjust)などの設定も可能である。このようなCPUモードに関しては、本実施の形態例がデジタル的なPLL回路(デジタルPLL回路)であることから、任意に設定することが可能になっている。

【0048】このようにして、通常時には、基準クロック(図1①)を遅延させた複数の遅延クロック(図1②)から所望の立ち上がりとしち下がりを選択することで、所望のパルス幅および所望のタイミングの出力パルス(図1⑧)を生成する。

【0049】図5はフィードバックパルスの遅延状態を示すフィードバック時同期ポイント情報Vfbを生成する様子示すタイムチャートである。図1のブロック図において、フィードバック時には、ディレイチェーン部420は、セレクト460を通過した出力パルス(図1⑧)を受けて、ディレイ素子によって遅延させる。同様に、フィードバックパルスがセレクト470を通過する。これにより、同期信号検出部430では、フィードバックパルス(図5(a))と出力パルスの遅延信号

(図5 (b) ~ (d)) との同期状態が、フィードバックパルスの遅延状態を示すフィードバック時同期ポイント情報Vfbとして出力される。図5の場合は、フィードバックパルス(図5 (a))は遅延信号DL2と同期しているため、 $Vfb = +2$ となる。このフィードバック時同期ポイント情報Vfb= $+2$ が、フィードバック時に記憶部431に記憶される。

【0050】図6は出力パルスのタイミングについて、フィードバック時同期ポイント情報Vfbを用いて修正する様子を示すタイムチャートである。ここで、図6 (a) ~ (d) では、フィードバック実行前に、DL10 ~ DL25を用いて出力パルスを生成する様子を示している。ここで、フィードバックの実行により、記憶部431がVfb= $+2$ を記憶し、フィードバック実行後の通常動作では、切替制御部440はVfb= $+2$ を補償するために、DL8とDL23を選択するためのセレクト段数情報をセレクト部450に対して出力する。したがって、セレクト部450では、DL8とDL23とがセレクトによって選択され、DL8 ~ DL23の出力パルスが生成される。なお、ここでは、Vfbが2の場合の例であったので、遅延クロックを2段分戻すように補正を行っている。

【0051】このようにすることで、出力パルスを目的の負荷に接続することに起因する回路素子のパラジキ、配線長などの物理的変化および、電源電圧、周囲温度、湿度などの環境変化によって生じる伝播変動分などが補正される。すなわち、各種の変動にかかわらず、デジタルPLLパルス発生装置に必要な一定のパルスを供給することが可能になる。

【0052】なお、このようなフィードバックを行う時間や間隔はCPU401が任意に定めることができる。以上の実施の形態例によれば、クロック周波数が高く、それらデバイスが要求する出力パルスの適正範囲も狭まっているものにも対応できる。また、電源電圧、周囲温度、湿度、回路素子や配線環境の物理的条件などが変動する場合でも、出力パルスには変動が生じない。そして、従来のアナログのPLL回路とは異なり、デジタル的なPLL回路であるため、不連続なクロックに対しても正常動作が期待でき、かつ、数クロック分のセッタップタイムで安定した動作ができる。

【0053】なお、この第1の実施の形態例では、フィードバック動作と位相修正動作とを、同一の回路で時分割で行っている(図8 (b) 参照)。このフィードバック動作は、本実施の形態例を画像形成装置などに応用した場合には、非画像領域で実行すればよい。このようにすることで、回路構成を簡略化できる利点がある。

【0054】また、図1を用いた以上の説明では、セレクト部450が単一の出力パルスを生成するようにしている構成を示したが、セレクト部を複数設けて、複数の異なる出力パルスを生成・出力することも可能である。

【0055】なお、以上説明した第1の実施の形態例の各部はデジタル回路であるので、集積回路として構成することに適している。さらに、パルス発生に関する各部CPUにより制御されることも望ましい。

【0056】(第2の実施の形態例) 図7は本発明の第2の実施の形態例の構成を示すブロック図である。図1と同一物には同一番号を付している。

【0057】この実施の形態例では、ディレイチェーン部と同期信号検出部とが2系統配置されていることを特徴としている。すなわち、ディレイチェーン部420a(第1ディレイチェーン部)と同期信号検出部430a(第1同期信号検出部)では、基準クロック(図7①)を遅延させた複数の遅延クロック(図7②)を生成し、同期状態(図7③：第1同期情報)を参照して所望の立ち上がりとしち下がりを選択することで、所望のパルス幅および所望のタイミングの出力パルス(図1⑤)を生成している。

【0058】一方、ディレイチェーン部420b(第2ディレイチェーン部)と同期信号検出部430b(第2同期信号検出部)では、CPU401からの制御を受けたセレクト411により、電源投入直後は基準クロック(図7①)を受けて、基準クロック(図7①)を遅延させた複数の遅延クロック(図7②')について、同期信号検出部430bで同期状態(図7③')：第2同期情報)を生成する。

【0059】すなわち、電源投入直後に、ディレイチェーン部420aの同期状態(図7④)とディレイチェーン部420bの同期状態(図7④')とを比較して、位相比較部432が2系統のディレイチェーン部の位相差Vdiffを把握しておく(図8 (c))、(d)の電源投入時)。

【0060】そして、通常時には、セレクト411は出力パルスをディレイチェーン部420bに供給しており、ディレイチェーン部420bと同期信号検出部430bとで、フィードバックパルスと出力パルスとのフィードバックを連続して実行して、フィードバック時同期ポイント情報Vfbを得る(図8 (c) 参照)。

【0061】さらに、通常時には、ディレイチェーン部420aと同期信号検出部430aとで、基準クロックを遅延させて遅延クロックを生成する作業を連続して実行して、通常時同期ポイント情報を得る(図8 (d) 参照)。

【0062】ここで、位相比較部432は、予め求めておいた2系統のディレイチェーン部の位相差(Vdiff)と同期信号検出部430bからのフィードバック時同期ポイント情報(Vfb)とを参照して、通常時同期ポイント情報(V1st, V2nd, Vprd)を補正して、補正済同期ポイント情報(図7⑤)を切替制御部に供給する。この後、図1の説明と同様に所望の出力パルスを得る。

【0063】この第2の実施の形態例では、電源投入時に2系統のディレイチェーン部の位相比較を行った後、2系統それぞれでフィードバックと通常動作を分担して並列動作（並列処理）を行っている。この結果、第1の実施の形態例のようなフィードバックと通常動作との繰り返し（図8（b））が必要なくなる。したがって、連続して安定した動作を、リアルタイムで実現することができる。

【0064】また、この実施の形態例によれば、クロック周波数が高く、それらデバイスが要求する出力パルスの適正範囲も決まっているものにも対応できる。また、電源電圧、周囲温度、湿度、回路素子や配線環境の物理的条件などが変動する場合でも、出力パルスには変動が生じない。そして、従来のアナログのPLL回路とは異なり、ディジタル的なP&L回路であるため、不連続なクロックに対しても正常動作が期待でき、かつ、数クロック分のセットアップタイムで安定した動作ができる。

【0065】なお、以上説明した第2の実施の形態例の各部はディジタル回路であるので、集積回路として構成することに適している。さらに、パルス発生に関する各部CPUにより制御されることが望ましい。

【0066】

【発明の効果】以上詳細に説明したように、本発明によれば、ディジタル的なフィードバックを行うことにより、各種の変動にかかわらず、所望のタイミングのパルスを安定して供給することが可能になる。

# \* 【図面の簡単な説明】

【図1】本発明の第1の実施の形態例のクロック発生装置の全体の電氣的構成を示す構成図である。

【図2】本発明の第1の実施の形態例のクロック発生装置の動作を説明するタイムチャートである。

【図3】本発明の第1の実施の形態例のクロック発生装置の主要部の電氣的構成を示す構成図である。

【図4】本発明の第1の実施の形態例のクロック発生装置の動作を説明するタイムチャートである。

10 【図5】本発明の第1の実施の形態例のクロック発生装置の動作を説明するタイムチャートである。

【図6】本発明の第1の実施の形態例のクロック発生装置の動作を説明するタイムチャートである。

【図7】本発明の第2の実施の形態例のクロック発生装置の構成を示すブロック図である。

【図8】本発明の実施の形態例のクロック発生装置の動作状態を示すタイムチャートである。

# 【符号の説明】

401 CPU

410 基準クロック発生部

420 ディレイチェーン部

430 同期信号検出部

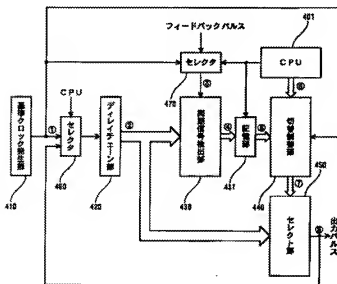
431 記憶部

440 切替制御部

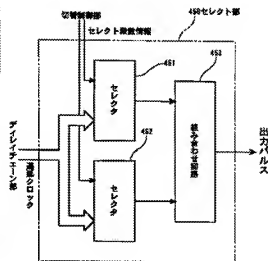
450 セレクト部

460, 470 セレクタ

【図1】

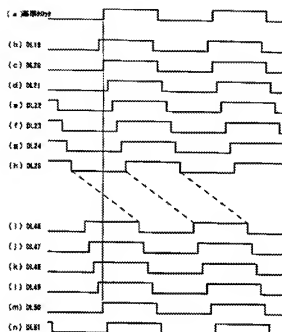


【図3】

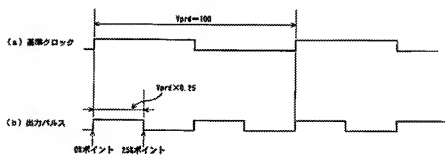




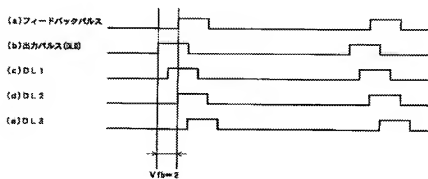
【図2】



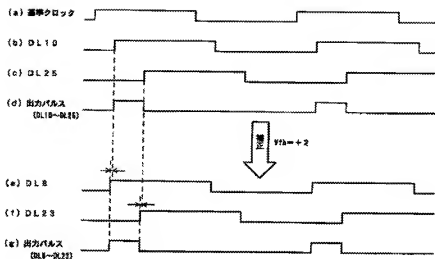
【図4】



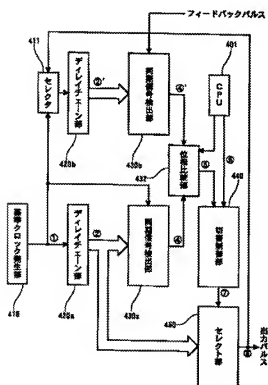
【図5】



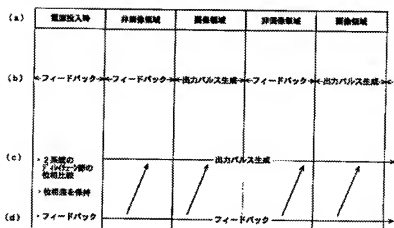
【図6】



【図7】



【図8】



フロントページの続き

Fターム(参考) 5B079 CC02 CC08 CC14 DD06 DD13  
DD17  
5J043 AA01 AA02 AA25 BB01 DD07  
DD09 DD10 DD14  
5J106 AA05 CC21 CC58 DD09 DD33  
DD34 DD46 DD47 DD48 KK02  
KK12 KK37 KK39